

(43)公開日 平成15年5月23日(2003.5.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 1 1 C 29/00	6 3 1	G 1 1 C 29/00	6 3 1 Q 5 J 0 6 5
H 0 3 M 13/19		H 0 3 M 13/19	5 L 1 0 6

審査請求 未請求 請求項の数5 OL (全 11 頁)

(21)出願番号 特願2001-343316(P2001-343316)

(22)出願日 平成13年11月8日(2001.11.8)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿六丁目24番1号

(72) 発明者 高橋 博

東京都新宿区西新宿六丁目24番1号 日本  
テキサス・インスツルメンツ株式会社内

(72)発明者 嶽釜 章浩

東京都新宿区西新宿六丁目24番1号 日本  
テキサス・インスツルメンツ株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

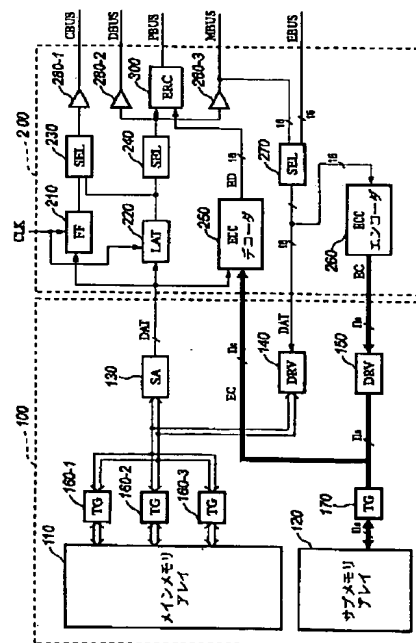
**最終頁に続く**

(54) 【発明の名称】 誤り訂正回路を備えた半導体記憶装置

(57) 【要約】

【課題】 回路規模及び消費電力の増加を抑制しながら、記憶データの誤りを訂正でき、さらに動作速度の低下を回避可能な誤り訂正回路を備えた半導体記憶装置を提供する。

【解決手段】記憶データに応じて生成される誤り訂正コードECを記憶データを格納するメインメモリ110とは別に設けられているサブメモリ120に格納する。読み出しのとき、メインメモリ及びサブメモリから記憶データと誤り訂正コードをそれぞれ読み出し、これらのデータに基づき読み出しデータに生じた誤りを訂正する誤り訂正コードを生成し、誤り訂正回路300によって、読み出しデータの誤りを訂正する。誤り訂正コードをメインメモリと異なるサブメモリに格納し、かつメインメモリとサブメモリのレイアウトを工夫することによって、誤り訂正コードの読み出しを高速化でき、誤り訂正による時間遅延を抑制できる。



## 【特許請求の範囲】

【請求項1】主データを格納するメインメモリと、  
上記主データに応じて生成された誤り訂正用副データを  
格納するサブメモリと、  
上記メインメモリに格納された主データを読み出すため  
のセンスアンプと、  
上記メインメモリから読み出された主データと上記サブ  
メモリから読み出された上記副データに基づいて上記主  
データに生じる誤りを訂正するための訂正データを生成  
するデコーダ回路と、  
上記訂正データに応じて上記メインメモリから読み出さ  
れた主データに含まれる誤りを訂正するデータ訂正回路  
と、  
を有する誤り訂正回路を備えた半導体記憶装置。

【請求項2】上記サブメモリが上記メインメモリと上記  
デコーダ回路および上記データ訂正回路との間に配置さ  
れている請求項1記載の誤り訂正回路を備えた半導体記  
憶装置。

【請求項3】上記メインメモリのビット線と上記サブメ  
モリのビット線とが異なる配線層により形成されている  
請求項2記載の誤り訂正回路を備えた半導体記憶装置。

【請求項4】上記データ訂正回路は上記主データのビッ  
ト数に応じた複数のビット訂正回路を有し、

上記ビット訂正回路は、  
第1の電源電位と出力ノードとの間に接続され、制御端  
子が第1のノードに接続された第1のトランジスタと、  
第2の電源電位と出力ノードとの間に接続され、制御端  
子が第2のノードに接続された第2のトランジスタと、  
イネーブル信号に応じて上記第1のノードと上記第2の  
ノードとを電気的に接続するトランスファゲートと、  
上記訂正データのビット情報に従って上記第1のノード  
と上記第2のノードとを上記主データのビット情報に応  
じた電位に駆動する駆動手段と、  
を有する請求項1、2または3記載の誤り訂正回路を備  
えた半導体記憶装置。

【請求項5】上記訂正データが上記主データに応じて生  
成された垂直-水平パリティコードまたはハミングコー  
ドである請求項1、2、3または4記載の誤り訂正回路  
を備えた半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶データの誤り  
を訂正する誤り訂正回路を備えた半導体記憶装置に関す  
るものである。

【0002】

【従来の技術】近年、SRAMの急激な微細化と電源電  
圧のスケールアップにより、半導体記憶装置、例えば、S  
RAMにおけるデータ誤り（Soft Error Rate、以下便  
宜上SERと記述する）の増加問題が顕在化している。  
例えば、現在一般的に使用されている6トランジスタS

RAMの場合、従来のDRAMのようにキャパシタとし  
て50fF以上の容量を確保するための特殊なキャパシ  
タプロセスを持たない。特にロジックプロセスで設計さ  
れるSRAMの場合は、汎用のDRAMに比べてSER  
が深刻になっている。今後更なるスケールアップが継続し  
ていくと、SERの問題がさらに顕著となり、SRAM  
のスケールアップに対して大きな障害になると予測でき  
る。

【0003】DSPのオンチップのメモリ容量の増加は  
この危機を一層増している。例えば、データメモリとし  
て使用する場合、1ビットのデータエラーによる誤動作  
はそれほど問題はないが、プログラムメモリとして使用  
する場合、1ビットのデータエラーでもDSPが制御不  
能に陥る危険性がある。

【0004】従来、汎用のDRAMにおいてSER対策  
として誤り検査及び訂正（Error Check and Correctio  
n、以下ECCと表記する）の技術が用いられていた。  
ところが、汎用DRAMにおいてオンチップでECCを  
行うよりシステムレベルで行った方がコスト、信頼性、  
または性能の面では有利である。現在、半導体製造技術  
の進歩に伴い、更なる微細化及び低電源電圧化が進んで  
おり、オンチップ上でシステムを構成しているDSP、  
ARMなどを混載したcDSPにおいては、チップレ  
ベルでこの問題に対処する必要性が益々重要になってきて  
いる。

【0005】ECCの代表的なアルゴリズムとして、ハ  
ミングコード方式及び垂直水平パリティ方式などが挙げ  
られる。従来のDRAMにおいては、書き込み時に使用  
される入力回路の後段にECC回路を設けてECCコー  
ドを生成し、データコードとともに所定のメモリ領域に  
記憶させておき、読み出しのとき、データコードととも  
にECCコードを読み出し、センスアンプの出力側に設  
けられているECC回路によって、データコードとECC  
コードに基づきデータコードの誤りを検出して訂正す  
る方式が一般的である。

【0006】

【発明が解決しようとする課題】ところで、上述した従  
来のECC回路による誤り訂正方式では、ECC回路が  
読み出し回路の後段にシリアルに接続されているので、  
データの読み出し速度が低下するほか、ECC回路を設  
けることによって回路規模が増加し、消費電力が増加す  
るという不利益がある。

【0007】また、ECC回路を使用せず、SERを低  
減させる幾つかの方法も提案されている。例えば、SR  
AMの記憶ノードの蓄積容量を増加させることによって  
記憶データの破壊を防止する方法、SRAMの蓄積ノ  
ードの電圧を高くする方法などがある。しかし、蓄積ノ  
ードの容量を増加させるには、DRAMのような特殊なブ  
ロセスを導入する必要があり、コスト増をもたらす一  
方、回路規模の増加が避けられない。また、蓄積ノード

の電圧を高くする方法は、SRAMのスケーリングの停止になり、SRAMの性能の低下及び消費電力の増加を招き、コストの増加となる。

【0008】他に、シリコン基板の代わりにSRAMを絶縁体の基板上に作成する、いわゆるSOI (Semiconductor On Insulator)を導入する方法もあるが、この方法はSERの改善にそれほど有効ではない。また、強誘電体メモリ(FeRAM)を導入することでデータの信頼性を改善する方法も提案されていたが、量産技術が確立していないため、メモリの製造が困難である。

【0009】本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模及び消費電力の増加を抑制しながら、記憶データの誤りを訂正でき、さらに動作速度の低下を回避可能な誤り訂正回路を備えた半導体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の誤り訂正回路を備えた半導体記憶装置は、主データを格納するメインメモリと、上記主データに応じて生成された誤り訂正用副データを格納するサブメモリと、上記メインメモリに格納された主データを読み出すためのセンスアンプと、上記メインメモリから読み出された主データと上記サブメモリから読み出された上記副データに基づいて上記主データに生じる誤りを訂正するための訂正データを生成するデコード回路と、上記訂正データに応じて上記メインメモリから読み出された主データに含まれる誤りを訂正するデータ訂正回路とを有する。

【0011】また、本発明では、好適には、上記サブメモリが上記メインメモリと上記デコード回路および上記データ訂正回路との間に配置されている。

【0012】また、本発明では、好適には、上記メインメモリのビット線と上記サブメモリのビット線とが異なる配線層により形成されている。

【0013】また、本発明では、好適には、上記データ訂正回路は上記主データのビット数に応じた複数のビット訂正回路を有し、上記ビット訂正回路は、第1の電源電位と出力ノードとの間に接続され、制御端子が第1のノードに接続された第1のトランジスタと、第2の電源電位と出力ノードとの間に接続され、制御端子が第2のノードに接続された第2のトランジスタと、イネーブル信号に応じて上記第1のノードと上記第2のノードとを電気的に接続するトランスファゲートと、上記訂正データのビット情報に従って上記第1のノードと上記第2のノードとを上記主データのビット情報に応じた電位に駆動する駆動手段とを有する。

【0014】また、本発明では、好適には、上記訂正データが上記主データに応じて生成された垂直-水平パリティコードまたはハミングコードである。

【0015】

【発明の実施の形態】図1は本発明に係る誤り訂正回路を備えた半導体記憶装置の一実施形態を示す回路図である。図示のように、本実施形態の半導体記憶装置は、メモリ部100と誤り訂正部200によって構成されている。メモリ部100は、メインメモリアレイ110、サブメモリアレイ120、センスアンプ(SA)130、ドライバー140、150及びトランスファゲート(TG)160-1、160-2、160-3、170によって構成されている。また、誤り訂正部200は、フリップフロップ(FF)210、ラッチ回路220、セレクト(SEL)230、240、ECCデコーダ250、ECCエンコーダ260、セレクト270、バッファ280-1、280-2、280-3及び誤り訂正回路(ERC)300によって構成されている。

【0016】まず、メモリ部100の各部分の構成について説明する。メインメモリアレイ110は、データを記憶し、サブメモリアレイ120は誤り訂正データを記憶する。外部から入力される記憶データは、ドライバー140を介して入力され、さらに、トランスファゲート160-1、160-2及び160-3を介してメインメモリ110に格納される。なお、メインメモリアレイ110に格納されているデータは、例えば、16ビット単位である。即ち、ドライバー140と入力用セレクト270との間、またはセンスアンプ130とフリップフロップ210、ラッチ回路220及びECCデコーダ250との間のデータバスは、16ビットである。なお、ドライバー140とトランスファゲート160-1、160-2、160-3との間に、または各トランスファゲートとセンスアンプ130との間には、ビット線とビット補線からなるビット線ペアが接続されている。これらのビット線ペアは、それぞれ例えば16組である。

【0017】ECCエンコーダ260によって生成された誤り訂正コードECは、ドライバー150を介して入力され、さらにトランスファゲート170を介してサブメモリアレイ120に格納される。サブメモリアレイ120に格納されている誤り訂正データは、図示のようにn。ビットを単位とする。即ち、ドライバー150とトランスファゲート170との間、または、トランスファゲート170とECCデコーダ250、ECCエンコーダ260とドライバー150との間のデータバスは、ともにn。ビットである。なお、n。は誤り検出及び誤り訂正の方法によって異なる。例えば、垂直-水平パリティコードを用いる場合、n。は8ビットであり、ハミングコードを用いる場合、n。は5ビットとなる。

【0018】センスアンプ130は、メインメモリアレイ110、ビット線及びビット補線からなるビット線ペアの電位差を増幅し、当該増幅の結果に応じて読み出しデータを確定し、フリップフロップ210、ラッチ回路220及びECCデコーダ250に出力する。なお、センスアンプ130は、通常SRAMに用いられているセ

ンスアンプであり、周知の技術として知られているため、その詳細について省略する。

【0019】ドライバ140は、入力されるデータに応じてビット線及びビット補線からなるビット線ペアの電位差を確定し、入力データをトランスファゲートを介してメインメモリアレイ110に格納する。

【0020】トランスファゲート160-1、160-2、160-3は、データ書き込み及び読み出しのとき、例えば書き込みイネーブル信号または読み出しイネーブル信号に応じてオン/オフを切り替える。ここで、複数のトランスファゲートを設けているのは、例えば、メインメモリアレイ110が複数のブロックから構成されている場合など、トランスファゲートで使用するメモリブロックを切り替えるためである。

【0021】ドライバ150は、ECCエンコーダ260によって生成された誤り訂正コードECに応じて、ビット線及びビット補線からなるビット線ペアを駆動し、トランスファゲート170を介して誤り訂正コードECをサブメモリアレイ120に格納する。

【0022】トランスファゲート170は、書き込みまたは読み出しのとき、書き込みイネーブル信号または読み出しイネーブル信号に応じてオン状態に保持される。書き込みのとき、ドライバ150から入力される誤り訂正コードECをサブメモリアレイ120に入力し、読み出しのときサブメモリアレイ120から読み出した誤り訂正データをECCデコーダ250に出力する。

【0023】上述のように、読み出しのとき、誤り訂正コードECはセンスアンプを通さずに直接ECCデコーダ250に出力される。これによってセンスアンプによって生じた信号遅延を解消でき、読み出しの高速化をはかることができる。本実施形態の半導体記憶装置において、メインメモリアレイ110、サブメモリアレイ120及びセンスアンプなどのメモリ周辺回路のレイアウト配置を工夫することによって、誤り訂正コードECをセンスアンプ経由せずにECCデコーダ250に入力することができる。このため、誤り訂正データの読み出し時の遅延を抑制でき、誤り訂正によって生じた遅延を低減でき、メモリアクセスの高速化を実現する。なお、本実施形態の半導体記憶装置におけるレイアウトについて後にさらに詳しく説明する。

【0024】次に、誤り訂正部200の各部分の構成について説明する。フリップフロップ210は、センスアンプ130の出力データを保持して、セクタ230に出力する。フリップフロップ210は、クロック信号CLKによって動作タイミングが制御されるマスタラッチとスレーブラッチによって構成されている。このため、フリップフロップ210は、クロック信号CLKが入力されると、マスタラッチの保持データをスレーブラッチにシフトし、また新しい入力データをマスタラッチによって保持する。スレーブラッチの保持データがフリップ

フロップの出力データとして後段のセクタ230に出力される。

【0025】ラッチ回路220は、入力データを保持してセクタ230及び240に出力する。ラッチ回路220は、クロック信号CLKの入力タイミングで動作し、入力データを保持する。上述のように、ラッチ回路220は、クロック信号CLKが入力されたとき、例えば、クロック信号CLKの立ち上がりエッジまたは立ち下がりエッジのタイミングで入力データを保持して出力する。これに対して、フリップフロップ210はクロック信号CLKの1周期前の入力データを保持して出力する。即ち、フリップフロップ210の出力データは、ラッチ回路220の出力データよりクロック信号CLKの1周期分遅れる。

【0026】セクタ230は、フリップフロップ210またはラッチ回路220の何れかの出力を選択してバッファ280-1に出力する。セクタ230によってラッチ回路220の出力が選択されるとき、クロック信号CLKに同期してセンスアンプからの読み出しデータが選択され、バッファ280-1に出力される。一方、セクタ230によってフリップフロップ210の出力が選択されるとき、クロック信号CLKの1周期前のタイミングで保持したセンスアンプの読み出しデータが選択され、バッファ280-1に出力される。

【0027】バッファ280-1によってセクタ230の選択データがデータバスCBUSに出力される。即ち、セクタ230の制御によって、データバスCBUSに出力されるデータは、クロック信号CLKの1周期分の遅延を持たせることができる。これにより、例えば、データバスCBUSの出力タイミングの要求に対応することができる。

【0028】セクタ240は、ラッチ回路230の出力データをバッファ280-2、280-3及び誤り訂正回路300に出力する。バッファ280-2は、セクタ240から入力されたデータをデータバスDBUSに出力し、バッファ280-3は、セクタ240から入力されたデータをデータバスMBUSに出力する。誤り訂正回路300は、ECCデコーダ250から出力される誤り訂正データEDに応じて、セクタ240から出力されるセンスアンプの読み出しデータに対して誤り訂正を行い、訂正後のデータをプログラムバスPBUSに出力する。

【0029】ECCデコーダ250は、メインメモリアレイ110からの読み出しデータDAT及びサブメモリアレイ120から読み出した誤り訂正コードECに応じて、誤り訂正データEDを生成し、誤り訂正回路300に供給する。ECCエンコーダ260は、セクタ270から入力されるデータに応じて、誤り訂正コードECを生成し、ドライバ150に供給する。誤り訂正回路300は、セクタ240から入力される読み出しデー

タDAT及びECCデコーダ250から入力される誤り訂正データEDに応じて、読み出しデータDATに生じた誤りビットを訂正し、訂正後のデータをプログラムバスPBUSに出力する。なお、ECCデコーダ250、ECCエンコーダ260及び誤り訂正回路300は、誤り訂正アルゴリズムに応じてそれぞれの構成が異なる。それぞれの具体例について後程さらに詳述する。

【0030】以下、図2を参照しつつ、本実施形態の半導体記憶装置のレイアウトについて説明する。図2は、本実施形態におけるメモリアレイ、その周辺回路及び誤り訂正回路の各部分の配置を示すレイアウト図である。図示のように、メインメモリアレイ(Main Array)110、サブメモリアレイ(Sub Array)120、書き込み読み出し回路(R/W)、センスアンプ(SA)及びカラムデコーダ(CDEC)からなる回路(以下、便宜上これらをまとめて周辺回路180と表記する)、さらに誤り訂正部200が半導体基板上順次配置されている。

【0031】なお、図2に示すように、メインメモリアレイ110の各メモリセルに接続されているビット線BLMとサブメモリアレイ120の各メモリセルに接続されているビット線BLSとはそれぞれ異なる配線層に形成されている。例えば、メインメモリアレイ110のビット線BLMが金属配線層MT<sub>n</sub>に形成され、サブメモリアレイ120のビット線BLSが金属配線層MTより下層の配線層MT<sub>m</sub>( $m < n$ )に形成されている。また、図2に示すように、メインメモリアレイ110より、サブメモリアレイ120が周辺回路180に近いところに配置されている。

【0032】上述した配線構造及び配置によって、サブメモリアレイ120の各メモリセルに接続されているビット線BLSがメインメモリアレイ110の各メモリセルに接続されているビット線BLMより短く形成される。即ち、サブメモリセルから読み出したデータが負荷の小さいビット線BLSを介して誤り訂正部200に供給される。一方、メインメモリアレイ110のメモリセルから読み出したデータが長いビット線BLMを介して周辺回路180のセンスアンプに供給される。このため、サブメモリアレイ120からの読み出しデータがセンスアンプを経由せず、直接誤り訂正部200に転送される。これに対して、メインメモリアレイ110からの読み出しデータはセンスアンプによって増幅された後、誤り訂正部200に転送される。これによって、サブメモリアレイ120からの読み出しデータがより早く誤り訂正部200に到達するので、ECCデコーダ250によって生じた遅延時間の一部分が吸収され、誤り訂正処理による遅延時間の増加を抑制でき、メモリアクセスの高速化を実現できる。

【0033】次に、図1に示す誤り訂正部200に設けられている誤り訂正回路300の構成について説明す

る。図3は、誤り訂正回路300の一構成単位であるビット訂正回路を示す回路図である。図3に示すビット訂正回路300aは、訂正する読み出しデータのビット数分だけ設けられる。例えば、メインメモリアレイ110から一回に16ビットのデータが読み出される場合、図3に示すビット訂正回路300aが16個設けられる。これらの誤り訂正回路によって、ECCデコーダ250から出力される誤り訂正データEDに応じて読み出しデータの各ビットがそれぞれ訂正され、訂正後のデータがプログラムバスPBUSに出力される。

【0034】図3に示すように、ビット訂正回路300aは、トランスファゲートTG1、TG2、TG3、インバータINV1、INV2及びpMOSトランジスタPT1、PT2、PT3とnMOSトランジスタNT1、NT2、NT3によって構成されている。

【0035】トランスファゲートTG1の入力端子が読み出しデータD<sub>in</sub>の入力ノードND1に接続され、出力端子がノードND2に接続されている。一方、トランスファゲートTG2の入力端子がインバータINV1の出力端子に接続され、出力端子がノードND2に接続されている。インバータINV1の入力端子が読み出しデータD<sub>in</sub>の入力ノードND1に接続されている。トランスファゲートTG1を構成するnMOSトランジスタのゲートにクロス信号CORの反転信号XCORが入力され、pMOSトランジスタのゲートにクロス信号CORが入力される。トランスファゲートTG2を構成するpMOSトランジスタのゲートにクロス信号CORの反転信号XCORが入力され、nMOSトランジスタのゲートにクロス信号CORが入力される。

【0036】クロス信号CORがECCデコーダ250によって出力される誤り訂正データEDのうち一ビットに応じて生成された信号である。読み出しデータD<sub>in</sub>に誤りがなければ、当該データD<sub>in</sub>に対応するクロス信号CORがローレベルに保持され、逆に読み出しデータD<sub>in</sub>に誤りが検出された場合、クロス信号CORがハイレベルに保持される。このため、データD<sub>in</sub>に誤りがなければ、トランスファゲートTG1が導通し、トランスファゲートTG2が遮断するので、データD<sub>in</sub>がトランスファゲートTG1を通して、ノードND2に入力される。逆にデータD<sub>in</sub>に誤りがあれば、トランスファゲートTG1が遮断し、トランスファゲートTG2が導通するので、インバータINV1の出力、即ち、読み出しデータD<sub>in</sub>の論理反転データがトランスファゲートTG2を通して、ノードND2に入力される。

【0037】トランジスタPT2とPT3が電源電圧V<sub>cc</sub>とノードND4との間に並列に接続されている。トランスファゲートTG3がノードND4とノードND5との間に接続されている。さらに、トランジスタNT2とNT3がノードND5と接地電位GNDとの間に並列に接続されている。トランジスタPT2のゲートがノード

ND2に接続され、トランジスタPT3のゲートがイネーブル信号OEの入力端子に接続されている。トランジスタNT2のゲートがノードND2に接続され、トランジスタNT3のゲートがインバータINV2の出力端子に接続されている。トランスファゲートTG3を構成するnMOSトランジスタのゲートがイネーブル信号OEの入力端子に接続され、pMOSトランジスタのゲートがインバータINV2の出力端子に接続されている。即ち、トランスファゲートTG3を構成するpMOSトランジスタのゲートにイネーブル信号OEの反転信号が印

【0038】イネーブル信号OEがローレベルのとき、トランスファゲートTG3が遮断する。一方、イネーブル信号OEがハイレベルのとき、トランスファゲートTG3が導通する。また、このとき、pMOSトランジスタPT3がオフし、nMOSトランジスタNT3もオフするので、トランジスタPT2とNT2によってインバータが構成される。即ち、ノードND4とND5は、ノードND2と逆の論理レベルに保持される。

【0039】トランジスタPT1とNT1が電源電圧V<sub>cc</sub>と接地電位GNDとの間に直列接続されている。トランジスタPT1のゲートがノードND4に接続され、トランジスタNT1のゲートがノードND5に接続されている。イネーブル信号OEがハイレベルのとき、トランスファゲートTG3が導通するので、ノードND4とノードND5が共通の電位に保持されている。このとき、トランジスタPT1とNT1がインバータを形成し、プログラムバスPBUS<sub>i</sub>を駆動する。ノードND4とND5の電位に応じてトランジスタPT1とNT1のうち一方がオンし、他方がオフするので、プログラムバスPBUS<sub>i</sub>がハイレベルまたはローレベルに駆動される。

【0040】イネーブル信号OEがローレベルのとき、トランスファゲートTG3が遮断し、ノードND4とND5が切り離される。また、トランジスタPT3とNT3がともにオンするので、ノードND4がハイレベルに保持され、ノードND5がローレベルに保持される。このため、トランジスタPT1のゲートにハイレベルの電圧が印加され、トランジスタNT1のゲートにローレベルの電圧が印加されるので、トランジスタPT1とNT1がオフ状態に保持される。

【0041】トランジスタPT1とNT1が負荷の大きいデータバスを駆動するために、駆動能力が他のトランジスタより大きいもので構成されている。このため、リーク電流も通常のトランジスタに比べて大きく、待機時に消費電力が増加する傾向がある。ここで、待機時、即ち、イネーブル信号OEがローレベルのとき、トランジスタPT1とNT1のゲートにそれぞれハイレベルとローレベルの電圧を印加することによって、これらのトランジスタを待機時に深いオフ状態に保持し、リーク電流の発生を抑制する。

【0042】上述した構成を持つビット訂正回路300aにおいて、ECCデコーダ250から供給されるクロス信号COR及びその反転信号XCORに応じて、読み出しデータD<sub>1n</sub>に対して誤り訂正が実行される。例えば、ECCデコーダ250からハイレベルのクロス信号CORを受けた場合、トランスファゲートTG1が遮断し、トランスファゲートTG2が導通するので、読み出しデータD<sub>1n</sub>の論理反転データがトランスファゲートTG2を介してノードND2に入力される。逆に、ECCデコーダ250からローレベルのクロス信号CORを受けた場合、トランスファゲートTG1が導通し、トランスファゲートTG2が遮断するので、読み出しデータD<sub>1n</sub>がトランスファゲートTG1を介してノードND2に入力される。

【0043】イネーブル信号OEがローレベルのとき、ビット訂正回路300aが待機状態にある。このとき、トランスファゲートTG3が遮断し、また、トランジスタPT1とNT1がともにオフ状態にあるので、プログラムバスPBUS<sub>i</sub>がハイインピーダンス状態にある。イネーブル信号OEがハイレベルに切り替わると、ビット訂正回路300aが待機状態から動作状態に入る。このとき、トランスファゲートTG3が導通するので、ノードND2の電圧レベルに応じて、ノードND4及びND5の電圧レベルが制御される。例えば、ノードND2がハイレベルのとき、ノードND4とND5がローレベルに保持され、逆にノードND2がローレベルのとき、ノードND4とND5がハイレベルに保持される。

【0044】ノードND4とND5のレベルに応じて、インバータを形成するトランジスタPT1とNT1のうち一方がオンし、他方がオフする。例えば、ノードND4とND5がハイレベルにあるとき、トランジスタPT1がオフし、トランジスタNT1がオンするので、プログラムバスPBUS<sub>i</sub>がローレベル、例えば、接地電位のレベルに駆動される。逆に、ノードND4とND5がローレベルにあるとき、トランジスタPT1がオンし、トランジスタNT1がオフするので、プログラムバスPBUS<sub>i</sub>がハイレベル、例えば、電源電圧V<sub>cc</sub>のレベルに駆動される。

【0045】上述したように、ビット訂正回路300aにおいて、読み出しデータD<sub>1n</sub>の誤り訂正は、トランスファゲートTG1及びTG2の切り替えによって行われるので、誤り訂正のための遅延時間を最小限に抑制することができる。また、待機時にプログラムバスPBUSを駆動するトランジスタPT1とNT1をオフ状態に保持させることによって、待機時のリーク電流の発生を抑制することができ、誤り訂正回路を付加することに起因する消費電力の増加を抑制可能である。

【0046】図4は、プログラムバスPBUS以外の他のデータバスを駆動するバッファ280aの構成を示す回路図である。図示のように、バッファ280aは、図

3に示すビット訂正回路300aから、トランスファゲートTG1とTG2及びインバータINV1を省いたものである。即ち、バッファ280aは、トランスファゲートTG3、インバータINV2及びpMOSトランジスタPT1、PT2、PT3とnMOSトランジスタNT1、NT2、NT3によって構成されている。

【0047】トランジスタPT2とPT3が電源電圧V<sub>cc</sub>とノードND4との間に並列に接続され、トランスファゲートTG3がノードND4とND5との間に接続されている。また、nMOSトランジスタNT2とNT3がノードND5と接地電位GNDとの間に並列に接続されている。トランジスタPT2のゲートがノードND2に接続され、トランジスタPT3のゲートがイネーブル信号OEの入力端子に接続されている。トランジスタNT2のゲートがノードND2に接続され、トランジスタNT3のゲートがインバータINV2の出力端子に接続されている。トランスファゲートTG3を構成するnMOSトランジスタのゲートがイネーブル信号OEの入力端子に接続され、pMOSトランジスタのゲートがインバータINV2の出力端子に接続されている。即ち、トランスファゲートTG3を構成するpMOSトランジスタのゲートにイネーブル信号OEの反転信号が印加される。

【0048】トランジスタPT1とNT1が電源電圧V<sub>cc</sub>と接地電位GNDとの間に直列接続されている。トランジスタPT1のゲートがノードND4に接続され、トランジスタNT1のゲートがノードND5に接続されている。即ち、トランジスタPT1とNT1は、データバスBUSiを駆動するためのインバータを形成している。

【0049】待機時にイネーブル信号OEがローレベルにある。このとき、トランスファゲートTG3が遮断する。また、pMOSトランジスタPT3とnMOSトランジスタNT3がオンするので、ノードND4がハイレベルに、ノードND5がローレベルにそれぞれ保持される。このため、トランジスタPT1とNT1がともにオフ状態に保持される。

【0050】動作時にイネーブル信号OEがハイレベルにある。このとき、トランスファゲートTG3が導通するので、ノードND4とND5が同じ電位に保持される。ノードND2に入力される読み出しデータD<sub>i</sub>に応じて、ノードND4およびND5の電位が制御される。さらに、ノードND4とND5の電位に応じて、トランジスタPT1とNT1のうち一方がオン状態、他方がオフ状態に保持される。例えば、ノードND4とND5がハイレベルのとき、トランジスタPT1がオフし、トランジスタNT1がオンするので、データバスBUSiがローレベルに駆動される。逆に、ノードND4とND5がローレベルのとき、トランジスタPT1がオンし、トランジスタNT1がオフするので、データバスBUSi

がハイレベルに駆動される。

【0051】上述したバッファ280aによって、読み出しデータD<sub>i</sub>に応じてデータバスBUSiを所定の電位に駆動することができる。また、待機時にトランスファゲートTG3を遮断し、駆動用トランジスタPT1とNT1とともにオフ状態に制御することによって、待機時のリーク電流の発生を抑制でき、消費電力の低減を実現できる。

【0052】次に、ECCエンコーダ260及びECCデコーダ250の構成について説明する。ECCエンコーダ260及びECCデコーダ250は、ECCアルゴリズムに従って動作する。データをメモリに格納するとき、ECCエンコーダ260は記憶データに応じて誤り訂正コードECを生成してサブメモリ120に格納し、読み出しのとき、メインメモリ110からの読み出しデータDAT及びサブメモリ120からの誤り訂正コードECに基づき、ECCデコーダ250によって誤り訂正データEDが生成されるので、読み出しデータのビット毎に設けられている上述したビット訂正回路300aによって、誤りのあったデータが訂正され、訂正後のデータがプログラムバスPBUSに出力される。

【0053】誤り訂正に採用されるECCアルゴリズムによって、ECCエンコーダ260及びECCデコーダ250の構成が異なる。以下、一般的に用いられている垂直-水平パリティ方式及びハミング方式について、それぞれのECCアルゴリズムに対応するECCエンコーダ及びデコーダの構成について説明する。

【0054】図5はハミング方式の原理を説明するための図である。図示のように、ハミング方式において、16ビットの入力データと16×5のECCコード生成用マトリックスを用いて、5ビットのECCコードECが生成される。16ビットの入力データがメインメモリアレイ110に格納され、5ビットの誤り訂正コードECがサブメモリアレイ120に格納される。読み出しのとき、メインメモリアレイ110からの16ビットの読み出しデータDATとサブメモリアレイ120からの5ビットの誤り訂正コードECに従って、読み出しデータDATの各ビットに生じた誤りを訂正するための誤り訂正データEDが生成される。そして、誤り訂正回路300によって、誤り訂正データEDに応じて、読み出しデータに生じた誤りビットが訂正される。

【0055】図6は、ハミング方式によるECCエンコーダ260、ECCデコーダ250及び誤り訂正回路300の構成を示す回路図である。図示のように、ECCエンコーダ260において、16ビットの記憶データに応じて、5ビットの誤り訂正コードEC(E<sub>1</sub>, E<sub>2</sub>, E<sub>3</sub>, E<sub>4</sub>, E<sub>5</sub>)が生成される。16ビットの記憶データがメインメモリアレイ110に格納され、5ビットの誤り訂正コードがサブメモリアレイ120に格納される。

【0056】読み出しのとき、メインメモリアレイ110から16ビットのデータDATが読み出され、センスアンプ130を介して出力される。一方、サブメモリアレイ120から5ビットの誤り訂正コードECが読み出される。ECCデコーダ250において、読み出しデータDAT及び誤り訂正コードECに応じて、16ビットの誤り訂正データEDが生成され、誤り訂正回路300に供給される。

【0057】図6において、誤り訂正回路300は、エクスクルーシブORゲートを用いて構成されているように表記しているが、これはあくまでも誤り訂正回路の動作原理を示すためのものであり、本実施形態では、誤り訂正回路300は、図3に示すビット訂正回路300aを読み出しデータDATのビット分、例えば、16個を用いて構成されている。

【0058】図3に示すビット訂正回路300aにおいて、クロス信号CORは、例えば、誤り訂正データEDのうちの1ビット分に応じて生成された信号である。前述したように、クロス信号CORがローレベルのとき、読み出しデータD<sub>1n</sub>がノードND2に入力され、それに応じてプログラムバスPBUSが駆動される。一方、クロス信号CORがハイレベルのとき、読み出しデータD<sub>1n</sub>の論理反転データがノードND2に入力され、それに応じてプログラムバスPBUSが駆動される。即ち、クロス信号CORと読み出しデータD<sub>1n</sub>のエクスクルーシブOR論理演算に応じて、プログラムバスPBUSが駆動される。図6に示す誤り訂正回路300は、エクスクルーシブORゲートを用いて、この誤り訂正の原理を示している。

【0059】図7は、垂直-水平パリティ方式による誤り訂正の原理を示す図である。図示のように、垂直-水平パリティ方式において、記憶データを最上位(msb)から最下位(lsb)までの16ビットのデータを4つの組に分割し、これらの4組のデータによって、4×4のマトリックスを形成する。そして、エクスクルーシブ論理演算により、マトリックスの各行及び各列毎にそれぞれパリティコードE<sub>1n</sub>及びE<sub>2n</sub>が生成される。こうして生成された8ビットの垂直及び水平パリティコードが誤り訂正コードECとしてサブメモリアレイ120に格納される。また、16ビットの記憶データがメインメモリアレイ110に格納される。

【0060】読み出しのとき、メインメモリアレイ110から読み出した16ビットのデータとサブメモリアレイ120から読み出した8ビットの誤り訂正コードに応じて、ECCエンコーダによって誤り訂正データが生成される。この誤り訂正データに応じて、読み出しデータに生じた誤りが訂正され、訂正後のデータがデータバスに出力される。

【0061】図8は、垂直-水平パリティ方式によるECCエンコーダ260、ECCデコーダ250及び誤り

訂正回路300の構成を示す回路図である。図示のように、ECCエンコーダ260において、16ビットの記憶データに応じて、4ビットの垂直パリティコードと4ビットの水平パリティコードからなる8ビット誤り訂正コードECが生成される。16ビットの記憶データがメインメモリアレイ110に格納され、8ビットの誤り訂正コードがサブメモリアレイ120に格納される。

【0062】読み出しのとき、メインメモリアレイ110から16ビットのデータDATが読み出され、センスアンプ130を介して出力される。一方、サブメモリアレイ120から8ビットの誤り訂正コードECが読み出される。ECCデコーダ250において、読み出しデータDAT及び誤り訂正コードECに応じて、16ビットの誤り訂正データEDが生成され、誤り訂正回路300に供給される。

【0063】図8は誤り訂正回路300の原理を示しており、実際に本実施形態では、誤り訂正回路300は、図3に示すビット訂正回路300aを読み出しデータDATのビット分、例えば、16個を用いて構成されている。誤り訂正回路300において、ECCデコーダ250によって生成された誤り訂正データに応じて、読み出しデータDATの誤りビットが訂正されるので、訂正後のデータによって、プログラムバスPBUSが駆動される。

【0064】以上説明したように、本実施形態によれば、記憶データに応じて生成される誤り訂正コードが上記記憶データを格納するメインメモリアレイとは別に設けられているサブメモリアレイに格納される。読み出しのとき、メインメモリアレイ及びサブメモリアレイから記憶データと誤り訂正コードがそれぞれ読み出され、これらのデータに基づき読み出しデータに対して誤り訂正を行う誤り訂正データが生成される。誤り訂正回路によって、誤り訂正データに基づき、読み出しデータの誤りが訂正される。誤り訂正コードをメインメモリアレイと異なるサブメモリアレイに格納し、かつメインメモリアレイとサブメモリアレイのレイアウトを工夫することによって、誤り訂正コードの読み出しを高速化できる。これによって、誤り訂正処理で発生した遅延時間を抑制でき、誤り訂正を高速に実行することができる。

【0065】

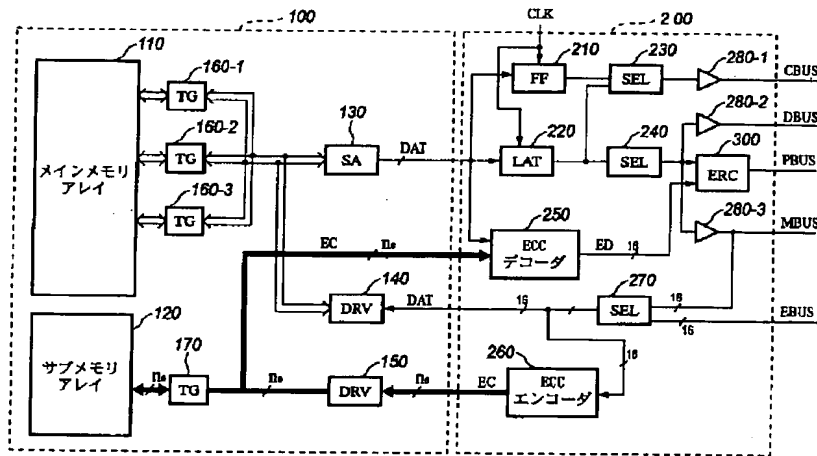
【発明の効果】以上説明したように、本発明の半導体記憶装置によれば、記憶データを格納するメインメモリと誤り訂正コードを格納するサブメモリのレイアウトを工夫することによって、誤り訂正コードの読み出しを高速化でき、誤り訂正処理のためのデコーディング処理による時間遅延を吸収することができ、誤り処理の高速化を実現できる。また、本発明の半導体記憶装置によれば、読み出しデータに対して誤り訂正を行う誤り訂正回路において、待機状態においてリーク電流の発生経路を遮断することによって、待機時の消費電力の低減を実現でき



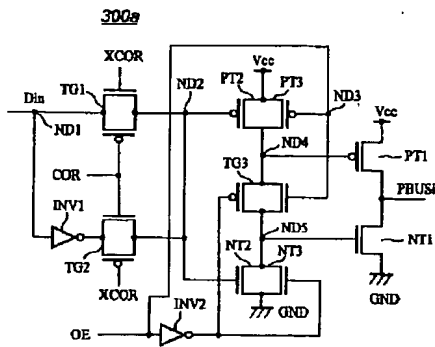
110…メインメモリアレイ、

16

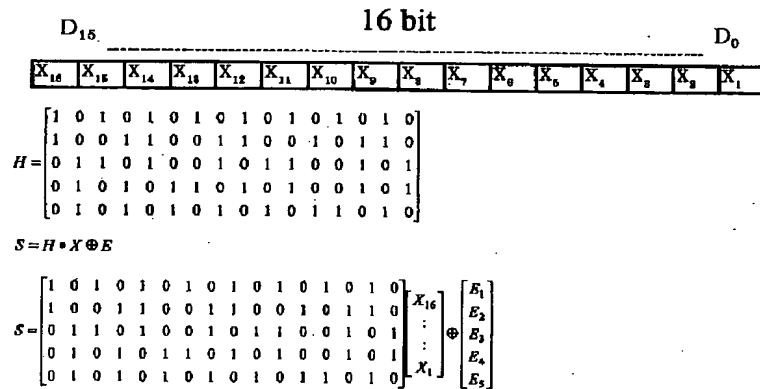
【図 1】



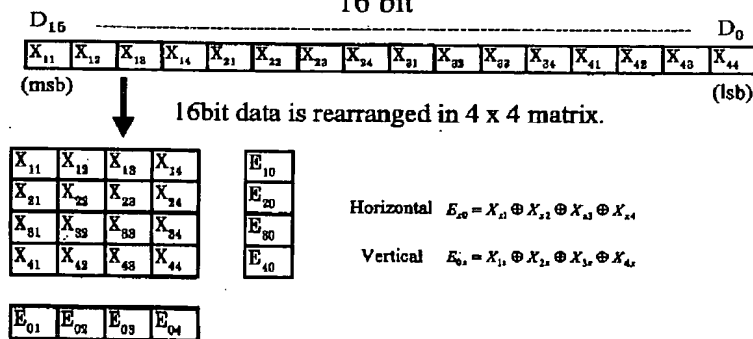
【図3】



【図5】



16 bit



5L106 AA01 AA02 BB12 BB13 GG06